

日本国特許庁 JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年10月20日

REC'D 26 NOV 2004

POT

出 願 番 号
Application Number:

人

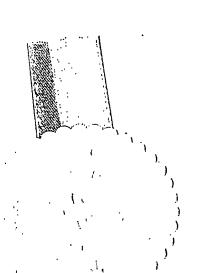
特願2003-359262

[ST. 10/C]:

[JP2003-359262]

出 願
Applicant(s):

日本電気株式会社



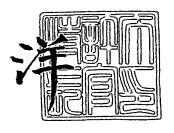
特許庁長官 Commissioner, Japan Patent Office

PRIORITY DOCUMENT

SUBMITTED OF 1F ANSMITTED IN COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年 8月13日

1) 11



BEST AVAILABLE COPY



特許願 【書類名】 【整理番号】 34002336 平成15年10月20日 【提出日】 殿 特許庁長官 【あて先】 H01L 29/786 【国際特許分類】 H01L 29/78 【発明者】 東京都港区芝五丁目7番1号 日本電気株式会社内 【住所又は居所】 寺島 浩一 【氏名】 【発明者】 東京都港区芝五丁目7番1号 日本電気株式会社内 【住所又は居所】 竹内 潔 【氏名】 【発明者】 東京都港区芝五丁目7番1号 日本電気株式会社内 【住所又は居所】 山上 滋春 【氏名】 【発明者】 東京都港区芝五丁目7番1号 日本電気株式会社内 【住所又は居所】 【氏名】 若林 整 【発明者】 東京都港区芝五丁目7番1号 日本電気株式会社内 【住所又は居所】 小椋 厚志 【氏名】 【発明者】 東京都港区芝五丁目7番1号 日本電気株式会社内 【住所又は居所】 渡部 宏治 【氏名】 【発明者】 日本電気株式会社内 東京都港区芝五丁目7番1号 【住所又は居所】 辰巳 徹 【氏名】 【発明者】 日本電気株式会社内 東京都港区芝五丁目7番1号 【住所又は居所】 武田 晃一 【氏名】 【発明者】 東京都港区芝五丁目7番1号 日本電気株式会社内 【住所又は居所】 【氏名】 野村 昌弘 【発明者】 東京都港区芝五丁目7番1号 日本電気株式会社内 【住所又は居所】 田中 聖康 【氏名】 【特許出願人】 【識別番号】 000004237 【氏名又は名称】 日本電気株式会社 【代理人】 100123788 【識別番号】 【弁理士】 【氏名又は名称】 宮崎 昭夫 【電話番号】 03-3585-1882 【選任した代理人】

【識別番号】

【氏名又は名称】

【弁理士】

100088328

金田 暢之



【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 201087 【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

 【物件名】
 明細書 1

 【物件名】
 図面 1

 【物件名】
 要約書 1

 【包括委任状番号】
 0304683



【魯類名】特許請求の範囲

【請求項1】

基体上に設けられた略直方体状の半導体領域と、該半導体領域を挟んで形成された突起 状のソース/ドレイン領域と、絶縁膜を介して該半導体領域の少なくとも側面上に設けら れたゲート電極とを備えた半導体装置であって、

該ソース/ドレイン領域は、少なくともその幅が最も大きい部分では前記半導体領域の幅よりも大きく、かつ該ソース/ドレイン領域の最上部側から基体側に向かって連続的に幅が大きくなっている傾斜部を有し、該傾斜部表面にシリサイド膜が形成されていることを特徴とする半導体装置。

【請求項2】

基体上に設けられた複数の略直方体状の半導体領域と、該半導体領域を挟んで形成された複数のソース/ドレイン領域と、絶縁膜を介して該半導体領域の少なくとも側面上に設けられたゲート電極とを備え、

該複数の半導体領域が、チャネル電流が流れる方向と垂直な方向に互いに平行となるように配列され、前記ゲート電極が該複数の半導体領域を跨ってチャネル電流が流れる方向と垂直な方向に延在して設けられた半導体装置であって、

前記ソース/ドレイン領域は、少なくともその幅が最も大きい部分では前記半導体領域の幅よりも大きく、かつ該ソース/ドレイン領域の最上部側から基体側に向かって連続的に幅が大きくなっている傾斜部を有し、該傾斜部表面にシリサイド膜が形成されていることを特徴とする半導体装置。

【請求項3】

基体上に設けられた複数の略直方体状の半導体領域と、該複数の半導体領域を挟んで該 複数の半導体領域に共通して形成された一対の突起状のソース/ドレイン領域と、絶縁膜 を介して前記複数の半導体領域の少なくとも側面上に設けられたゲート電極とを備え、

該複数の半導体領域が、チャネル電流が流れる方向と垂直な方向に互いに平行となるように配列され、前記ゲート電極が該複数の半導体領域を跨ってチャネル電流が流れる方向と垂直な方向に延在して設けられた半導体装置であって、

前記ソース/ドレイン領域が、最上部側から基体側に向かって断面積が連続的に増加している凹凸部を有し、該凹凸部表面にシリサイド膜が形成されていることを特徴とする半導体装置。

【請求項4】

前記凹凸部が、前記複数の半導体領域の配列方向に向かって該複数の半導体領域と等間隔で、該半導体領域と該凹凸部が並列となるように形成されていることを特徴とする請求項3記載の半導体装置。

【請求項5】

前記ソース/ドレイン領域の最上部側が前記基体平面と平行な面であり、該面上にシリサイド膜が形成されていることを特徴とする請求項1乃至4の何れか1項に記載の半導体装置。

【請求項6】

前記ソース/ドレイン領域の全てが、表面にシリサイド膜を形成した傾斜部からなっていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項7】

前記ソース/ドレイン領域の幅が、最上部側から基体側に向かって一定割合で大きくなっていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項8】

前記凹凸部の断面積が、最上部側から基体側に向かって一定割合で大きくなっていることを特徴とする請求項3に記載の半導体装置。

【請求項9】

側面にチャネルを形成する略直方体状の半導体領域を有する電界効果型トランジスタを 備えた半導体装置の製造方法であって、



(a) ゲート電極を形成した略直方体状の半導体領域を挟んで設けられた突起状のソース /ドレイン領域を選択エピタキシャル成長させ、該ソース/ドレイン領域の幅が該半導体 領域の幅よりも大きく、かつ該ソース/ドレイン領域の最上部側から基体側に向かって幅 が連続的に大きくなっている傾斜部を設ける工程と、(b) 該傾斜部の表面上にシリサイ ド膜を設ける工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】

側面にチャネルを形成する複数の略直方体状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、

(a) 複数の略直方体状の半導体領域を跨ってゲート電極を設けた後、該複数の半導体領域を挟んで設けられた複数の突起状のソース/ドレイン領域を選択エピタキシャル成長させ、該ソース/ドレイン領域の幅が該半導体領域の幅よりも大きく、かつ該ソース/ドレイン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部を形成する工程と、(b) 該傾斜部の表面上にシリサイド膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項11】

側面にチャネルを形成する複数の略直方体状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、

(a) 複数の略直方体状の半導体領域を跨ってゲート電極を設けた後、該複数の半導体領域を挟んで設けられた複数の突起状のソース/ドレイン領域を隣接するソース/ドレイン領域が接するまで選択エピタキシャル成長させ、該選択エピタキシャル成長時に該ソース/ドレイン領域が最上部側から基体側に向かって断面積が連続的に増加している凹凸部を形成する工程と、(b) 該凹凸部の表面上にシリサイド膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項12】

前記傾斜部が、前記ソース/ドレイン領域の幅方向及び最上部側から基体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に8つまでの結晶面で形成されるように選択エピタキシャル成長をさせることを特徴とする請求項9又は10に記載の半導体装置の製造方法。

【請求項13】

前記凹凸部が、前記ソース/ドレイン領域の幅方向及び最上部側から基体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に8つまでの結晶面で形成されるように選択エピタキシャル成長をさせることを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項14】

前記傾斜部が、前記ソース/ドレイン領域の幅方向及び最上部側から基体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に湾曲形状からなるように選択エピタキシャル成長をさせることを特徴とする請求項9又は10に記載の半導体装置の製造方法。

【請求項15】

前記凹凸部が、前記ソース/ドレイン領域の幅方向及び最上部側から基体側の方向に平 行で、かつ該最上部と交わる断面で見たときに、実質的に湾曲形状からなるように選択エ ピタキシャル成長をさせることを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項16】

側面にチャネルを形成する略直方体状の半導体領域を有する電界効果型トランジスタを 備えた半導体装置の製造方法であって、

(a) 略直方体状の半導体領域上にゲート電極を形成した後、該半導体領域を挟んで該半 導体領域の幅よりも大きな幅を有するように設けられた突起状のソース/ドレイン領域を エッチングし、該ソース/ドレイン領域の幅が該半導体領域の幅よりも大きく、かつ該ソ ース/ドレイン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜 部を設ける工程と、(b) 該傾斜部の表面上にシリサイド膜を形成する工程とを有するこ



とを特徴とする半導体装置の製造方法。

【請求項17】

側面にチャネルを形成する複数の略直方体状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、

(a) 複数の略直方体状の半導体領域を跨ってゲート電極を設け、該複数の半導体領域を挟んで一対の突起状のソース/ドレイン領域を設けた後、該ソース/ドレイン領域上の半導体領域の配列方向に向かって該複数の半導体領域と交互となる位置に複数の開口を有するマスク膜を設ける工程と、(b) 該マスク膜をマスクとしてエッチングを行うことにより該一対のソース/ドレイン領域を該複数の半導体領域を挟んで互いに離間した複数のソース/ドレイン領域とし、該エッチング時に該ソース/ドレイン領域の幅が該半導体領域の幅よりも大きく、かつ該ソース/ドレイン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部を設ける工程と、(c) 該傾斜部上にシリサイド膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項18】

側面にチャネルを形成する複数の略直方体状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、

(a) 複数の略直方体状の半導体領域を跨ってゲート電極を設け、該複数の半導体領域を挟んで一対の突起状のソース/ドレイン領域を設けた後、該ソース/ドレイン領域上の該半導体領域の配列方向に向かって該複数の半導体領域と交互となる位置に複数の開口を有するマスク膜を設ける工程と、(b) 該マスク膜をマスクとしてエッチングを行い、該ソース/ドレイン領域が最上部側から基体側に向かって断面積が連続的に増加している凹凸部を設ける工程と、(c) 該傾斜部上にシリサイド膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項19】

前記(b)エッチングする工程が、ウェットエッチング法を用いたものであることを特徴とする請求項16乃至18の何れか1項に記載の半導体装置の製造方法。



【曹類名】明細書

【発明の名称】半導体装置及び半導体装置の製造方法

【技術分野】

[0001]

本発明はコンタクトホールの位置合わせが容易で、コンタクト抵抗の低いフィン型の電 界効果型トランジスタを有する半導体装置に関する。

【背景技術】

[0002]

従来、半導体領域からなる突起を有し、基板にほぼ垂直な平面(突起側面)に主たるチ ャネルを形成するフィン型のMIS型電界効果型トランジスタ(以下、「MISFET」 という)が開発されてきた。フィン型のMISFETは、微細化に有利であることに加え て、カットオフ特性やキャリア移動度の向上、短チャネル効果やパンチスルーの低減とい った種々の特性改善に有利であることが知られている。

[0003]

特許文献1には、直方体状半導体の一部がシリコンウェハ基板の一部であるフィン型の MISFETと、直方体状半導体の一部がSOI基板の単結晶シリコン層の一部であるフ ィン型のMISFETが開示されている。前者の構造を図1(a)、後者の構造を図1(b) を用いて説明する。

[0004]

図1 (a) に示す形態では、シリコンウェハ基板101の一部が直方体状部分103と なり、ゲート電極105がこの直方体状部分103の頂部を超えて両側に延在している。 そして、この直方体状部分103において、ゲート電極下の絶縁膜104下の部分にチャ ネルが形成される。チャネル幅は直方体状部分103の高さhの2倍に相当し、ゲート長 はゲート電極105の幅しに対応する。また、ゲート電極105はこの溝内に形成した絶 縁膜102上に、直方体状部分103を跨ぐように設けられている。

[0005]

図1(b)に示す形態では、シリコンウェハ基板111、絶縁膜112及びシリコン単 結晶層からなるSOI基板を用意し、そのシリコン単結晶層をパターニングして直方体状 部分113とし、そして、この直方体状部分113を跨ぐように、露出した絶縁層112 上にゲート電極115を設けている。この直方体状部分113において、ゲート電極両側 の部分にソース領域及びドレイン領域が形成され、ゲート電極下の絶縁膜114下の部分 (突起113の上面及び側面) にチャネルが形成される。チャネル幅は直方体状半導体領 域113の高さaの2倍とその幅bとの合計に相当し、ゲート長はゲート電極115の幅 Lに対応する。

[0006]

一方、特許文献2には例えば図2(a)~(c)に示すような、複数の直方体状半導体 凸部(凸状半導体層213)を有するマルチ構造のフィン型のMOSFETが開示されて いる。図2 (b) は図2 (a) のB-B線断面図であり、図2 (c) は図2 (a) のC-C線断面図である。このフィン型のMOSFETは、シリコン基板210のウェル層21 1の一部で構成される凸状半導体層 2 1 3 を複数有し、これらが互いに平行に配列され、 これらの凸状半導体層の中央部を跨いでゲート電極216が設けられている。このゲート 電極216は、絶縁膜214の上面から各凸状半導体層213の側面に沿って形成されて いる。各凸状半導体層とゲート電極間には絶縁膜218が介在し、ゲート電極下の凸状半 導体層にはチャネル215が形成される。また、各凸状半導体層にはそれぞれソース/ド レイン領域が形成され、ソース/ドレイン領域217下の領域212には高濃度不純物層 (パンチスルーストッパー層) が設けられている。更に、層間絶縁膜226を介して上層 配線229、230が設けられ、各コンタクトプラグ228により、各上層配線とそれぞ れソース/ドレイン領域217及びゲート電極216とが接続されている。各ソース/ド レイン領域は共通のソース/ドレイン電極229に接続されている。

[0007]



また、特許文献3には例えば、図3(a)及び(b)に示すような、フィン型のMOS FETが開示されている。このフィン型のMOSFETは、シリコン基板301、絶縁層 302及び半導体層(単結晶シリコン層)303からなるSOI基板を用いて形成され、 その絶縁層302上にパターニングされた半導体層303が設けられている。この半導体 層303には、複数の開口部310が一列に半導体層303を横断するように設けられて いる。これらの開口部310は、半導体層303のパターニングの際に、絶縁層302が 露出するように形成されている。ゲート電極305は、これらの開口部310の中央部を 跨いで開口部の配列方向に沿って形成される。開口部310間の各半導体層(伝導経路) 332との間には絶縁膜が介在し、ゲート電極下の伝導経路にチャネルが形成される。伝 導経路332の上面の絶縁膜が、側面の絶縁膜と同程度に薄いゲート絶縁膜である場合は 、ゲート電極下の半導体層332の両面側及び上面にチャネルが形成される。半導体層3 03において、開口部310の列の両側がソース/ドレイン領域304を構成している。 各伝導経路に導通されたソース/ドレイン領域304は共通化され全体として一対のソー ス/ドレイン領域304を形成している。

【特許文献1】特開昭64-8670号公報

【特許文献2】特開2002-118255号公報

【特許文献3】特開2001-298194号公報

【発明の開示】

【発明が解決しようとする課題】

[0008]

従来から、コンタクト抵抗の低減を目的として、ソース/ドレイン領域上にシリサイド 膜を設けたMISFETが提案されており、この場合、シリサイド膜の形成はスパッタリ ングによって行われている。しかしながら、特許文献1~3記載のフィン型のMISFE Tでは、ソース/ドレイン領域が略直方体状であり、ソース/ドレイン領域の側面が基板 と主に垂直に形成されているため、スパッタリングによって該側面上にシリサイド膜の形 成を行うことは困難であった。また、CVD法等を使用して、該側面上にシリサイド膜の 形成を行うと、ファセット形成等の異常成長が起こったり、ソース/ドレイン領域が全て シリサイドとなる場合があった。このため、シリサイド形成によるコンタクト抵抗の低減 を有効に図れない場合があった。また、近年、半導体装置の高集積化に伴いMISFET の微細化が進んでおり、MISFETのソース/ドレイン領域へのコンタクトホールの位 置合わせが困難となってきている。

[0009]

本発明は以上のような状況に鑑みてなされたものであり、フィン型のMISFETを有 する半導体装置において、ソース/ドレイン領域の幅がチャネルが形成される直方体状の 半導体領域の幅よりも大きく、かつソース/ドレイン領域が最上部側から基体側に向かっ て幅が連続的に大きくなっている傾斜部又は断面積が連続的に増加している凹凸部を有す ることを特徴とする。本発明の半導体装置は、傾斜部又は凹凸部を有することによって、 従来のフィン型のMISFETよりも広い面積にシリサイド膜の形成が可能となる。

[0010]

本発明は、上記構成を有することによってソース/ドレイン領域上へのコンタクトホー ル形成時の位置合わせが容易にし、ソース/ドレイン領域の寄生抵抗を低減することによ ってコンタクト抵抗の低減を図ることを目的とする。また、そのような半導体装置の製造 方法を提供することを目的とする。

【課題を解決するための手段】

[0011]

上記課題を解決するため、本発明は以下の構成を有する。すなわち、本発明は、基体上 に設けられた略直方体状の半導体領域と、該半導体領域を挟んで形成された突起状のソー ス/ドレイン領域と、絶縁膜を介して該半導体領域の少なくとも側面上に設けられたゲー ト電極とを備えた半導体装置であって、

該ソース/ドレイン領域は、少なくともその幅が最も大きい部分では前記半導体領域の



幅よりも大きく、かつ該ソース/ドレイン領域の最上部側から基体側に向かって連続的に幅が大きくなっている傾斜部を有し、該傾斜部表面にシリサイド膜が形成されていることを特徴とする半導体装置に関する。

[0012]

本発明は、基体上に設けられた複数の略直方体状の半導体領域と、該半導体領域を挟んで形成された複数のソース/ドレイン領域と、絶縁膜を介して該半導体領域の少なくとも側面上に設けられたゲート電極とを備え、

該複数の半導体領域が、チャネル電流が流れる方向と垂直な方向に互いに平行となるように配列され、前記ゲート電極が該複数の半導体領域を跨ってチャネル電流が流れる方向と垂直な方向に延在して設けられた半導体装置であって、

前記ソース/ドレイン領域は、少なくともその幅が最も大きい部分では前記半導体領域の幅よりも大きく、かつ該ソース/ドレイン領域の最上部側から基体側に向かって連続的に幅が大きくなっている傾斜部を有し、該傾斜部表面にシリサイド膜が形成されていることを特徴とする半導体装置に関する。

[0013]

本発明は、基体上に設けられた複数の略直方体状の半導体領域と、該複数の半導体領域を挟んで該複数の半導体領域に共通して形成された一対の突起状のソース/ドレイン領域と、絶縁膜を介して前記複数の半導体領域の少なくとも側面上に設けられたゲート電極とを備え、

該複数の半導体領域が、チャネル電流が流れる方向と垂直な方向に互いに平行となるように配列され、前記ゲート電極が該複数の半導体領域を跨ってチャネル電流が流れる方向と垂直な方向に延在して設けられた半導体装置であって、

前記ソース/ドレイン領域が、最上部側から基体側に向かって断面積が連続的に増加している凹凸部を有し、該凹凸部表面にシリサイド膜が形成されていることを特徴とする半導体装置に関する。

[0014]

本発明は更に、前記凹凸部が、前記複数の半導体領域の配列方向に向かって該複数の半導体領域と等間隔で、該半導体領域と該凹凸部が並列となるように形成されていることが好ましい。

本発明は更に、前記ソース/ドレイン領域の最上部側が前記基体平面と平行な面であり、 該面上にシリサイド膜が形成されていることが好ましい。

本発明は更に、前記ソース/ドレイン領域の全てが、表面にシリサイド膜を形成した傾斜 部からなっていることが好ましい。

本発明は更に、前記ソース/ドレイン領域の幅が、最上部側から基体側に向かって一定割合で大きくなっていることが好ましい。

本発明は更に、前記凹凸部の断面積が、最上部側から基体側に向かって一定割合で大きくなっていることが好ましい。

[0015]

本発明は、側面にチャネルを形成する略直方体状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、

(a) ゲート電極を形成した略直方体状の半導体領域を挟んで設けられた突起状のソース /ドレイン領域を選択エピタキシャル成長させ、該ソース/ドレイン領域の幅が該半導体 領域の幅よりも大きく、かつ該ソース/ドレイン領域の最上部側から基体側に向かって幅 が連続的に大きくなっている傾斜部を設ける工程と、(b) 該傾斜部の表面上にシリサイ ド膜を設ける工程とを有することを特徴とする半導体装置の製造方法に関する。

[0016]

本発明は、側面にチャネルを形成する複数の略直方体状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、

(a) 複数の略直方体状の半導体領域を跨ってゲート電極を設けた後、該複数の半導体領域を挟んで設けられた複数の突起状のソース/ドレイン領域を選択エピタキシャル成長さ



せ、該ソース/ドレイン領域の幅が該半導体領域の幅よりも大きく、かつ該ソース/ドレ イン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部を形成す る工程と、(b)該傾斜部の表面上にシリサイド膜を形成する工程とを有することを特徴 とする半導体装置の製造方法に関する。

[0017]

本発明は、側面にチャネルを形成する複数の略直方体状の半導体領域を有する電界効果 型トランジスタを備えた半導体装置の製造方法であって、

(a) 複数の略直方体状の半導体領域を跨ってゲート電極を設けた後、該複数の半導体領 域を挟んで設けられた複数の突起状のソース/ドレイン領域を隣接するソース/ドレイン 領域が接するまで選択エピタキシャル成長させ、該選択エピタキシャル成長時に該ソース /ドレイン領域が最上部側から基体側に向かって断面積が連続的に増加している凹凸部を 形成する工程と、(b)該凹凸部の表面上にシリサイド膜を形成する工程とを有すること を特徴とする半導体装置の製造方法に関する。

[0018]

本発明は更に、前記傾斜部が、前記ソース/ドレイン領域の幅方向及び最上部側から基 体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に8つまでの結晶 面で形成されるように選択エピタキシャル成長をさせることが好ましい。

本発明は更に、前記凹凸部が、前記ソース/ドレイン領域の幅方向及び最上部側から基体 側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に8つまでの結晶面 で形成されるように選択エピタキシャル成長をさせることが好ましい。

[0019]

本発明は更に、前記傾斜部が、前記ソース/ドレイン領域の幅方向及び最上部側から基 体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に湾曲形状からな るように選択エピタキシャル成長をさせることが好ましい。

本発明は更に、前記凹凸部が、前記ソース/ドレイン領域の幅方向及び最上部側から基体 側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に湾曲形状からなる ように選択エピタキシャル成長をさせることが好ましい。

[0020]

本発明は、側面にチャネルを形成する略直方体状の半導体領域を有する電界効果型トラ ンジスタを備えた半導体装置の製造方法であって、

(a) 略直方体状の半導体領域上にゲート電極を形成した後、該半導体領域を挟んで該半 導体領域の幅よりも大きな幅を有するように設けられた突起状のソース/ドレイン領域を エッチングし、該ソース/ドレイン領域の幅が該半導体領域の幅よりも大きく、かつ該ソ ース/ドレイン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜 部を設ける工程と、(b)該傾斜部の表面上にシリサイド膜を形成する工程とを有するこ とを特徴とする半導体装置の製造方法に関する。

[0021]

本発明は、側面にチャネルを形成する複数の略直方体状の半導体領域を有する電界効果 型トランジスタを備えた半導体装置の製造方法であって、

(a) 複数の略直方体状の半導体領域を跨ってゲート電極を設け、該複数の半導体領域を 挟んで一対の突起状のソース/ドレイン領域を設けた後、該ソース/ドレイン領域上の半 導体領域の配列方向に向かって該複数の半導体領域と交互となる位置に複数の開口を有す るマスク膜を設ける工程と、(b) 該マスク膜をマスクとしてエッチングを行うことによ り該一対のソース/ドレイン領域を該複数の半導体領域を挟んで互いに離間した複数のソ ース/ドレイン領域とし、該エッチング時に該ソース/ドレイン領域の幅が該半導体領域 の幅よりも大きく、かつ該ソース/ドレイン領域の最上部側から基体側に向かって幅が連 続的に大きくなっている傾斜部を設ける工程と、(c)該傾斜部上にシリサイド膜を形成 する工程と、を有することを特徴とする半導体装置の製造方法に関する。

[0022]

本発明は、側面にチャネルを形成する複数の略直方体状の半導体領域を有する電界効果



型トランジスタを備えた半導体装置の製造方法であって、

(a) 複数の略直方体状の半導体領域を跨ってゲート電極を設け、該複数の半導体領域を 挟んで一対の突起状のソース/ドレイン領域を設けた後、該ソース/ドレイン領域上の該 半導体領域の配列方向に向かって該複数の半導体領域と交互となる位置に複数の開口を有 するマスク膜を設ける工程と、(b)該マスク膜をマスクとしてエッチングを行い、該ソ ース/ドレイン領域が最上部側から基体側に向かって断面積が連続的に増加している凹凸 部を設ける工程と、(c)該傾斜部上にシリサイド膜を形成する工程と、を有することを 特徴とする半導体装置の製造方法に関する。

[0023]

本発明は更に、前記(b)エッチングする工程が、ウェットエッチング法を用いたもの であることが好ましい。

【発明の効果】

[0024]

本発明によれば、フィン型MISFETを備えた半導体装置であって、コンタクト抵抗 を低減し、コンタクトホールの位置合わせを容易とした半導体装置及びその製造方法を提 供できる。

【発明を実施するための最良の形態】

[0025]

(半導体装置)

本発明に係る半導体装置を図4を用いて説明する。図4 (b) は、本発明の半導体装置 の一例を示したものである。図4 (a) は、図4 (b) の半導体装置に含まれるソース/ ドレイン領域とチャネルが形成される略直方体状の半導体領域を表したものである。本発 明の半導体装置は、略直方体状の半導体領域403と、これを挟むように形成された突起 状のソース/ドレイン領域406を有する。略直方体状の半導体領域403の側面上には ゲート絶縁膜を介してゲート電極405が設けられている。また、ソース/ドレイン領域 406上にはシリサイド膜409が設けられている。

[0026]

略直方体状の半導体領域403は、基体平面(基板に平行な任意の面)に平行な上面4 10と基体平面に垂直な側面407を有する。側面407にはチャネルが形成され、チャ ネル電流が矢印404の方向に流れる。略直方体状の半導体領域は、加工精度や所望の素 子特性が得られる範囲内で直方体から変形した直方体状であっても良い。本発明のMIS FETのソース/ドレイン領域406の幅は、チャネルが形成される略直方体状の半導体 領域403の幅よりも大きく、かつ該ソース/ドレイン領域は最上部側から基体側に向か って連続的に幅が大きくなる傾斜部を有する。ここで、「最上部側から基体側に向かって 」とは、ソース/ドレイン領域の最上部側412から基体側413に向かう方向411を 表し、これは基体(絶縁膜)402の法線の下方向に相当する。このため、本発明のフィ ン型のMISFETは、従来のフィン型のMISFETと比べてソース/ドレイン領域上 のより広い面積にシリサイド膜を設けることができる。この結果、コンタクト抵抗の低減 に加えて、ソース/ドレイン領域上へのコンタクトホールの位置合わせが容易になると共 にFETの寄生抵抗を小さくすることができる。なお、略直方体状の半導体領域の幅とは 、略直方体状の半導体領域403のチャネル電流が流れる方向404に垂直でかつ基体平 面(絶縁膜)402に平行な方向の幅を指す(図4(a)のa)。また、ソース/ドレイ ン領域の幅とは、ソース/ドレイン領域のチャネル電流が流れる方向404に垂直でかつ 基体平面(絶縁膜)402に平行な方向の幅を指す(図4のc)。

[0027]

本発明のMISFETは、直方体状の半導体領域403の上面410に形成されるゲー ト絶縁膜を厚くして直方体の側面407にのみにチャネルが形成されるダブルゲート型と することができる。また、上面410に形成されるゲート絶縁膜を薄くして上面410に もチャネルが形成されるトライゲート型とすることも可能である。

[0028]



本発明におけるフィン型のMISFETの直方体状の半導体領域とソース/ドレイン領 域は、基体平面に対して突出した構造を有するものである。例えば、図1(b)に示すよ うに半導体基板111上のベース絶縁膜112上に設けられた半導体層で構成することが できる。また、直方体状の半導体領域及びソース/ドレイン領域はベース絶縁膜下の半導 体基板の一部である構成とすることもできる。

[0029]

本発明におけるフィン型のMISFETは、直方体状の半導体領域の両側面に主たるチ ャネルが形成されるものが好ましく、また、そのゲート電極下の直方体状の半導体領域の 幅Wが、動作時に直方体状の半導体領域の両側面からそれぞれ形成される空乏層により完 全に空乏化される幅であることが好ましい。

[0030]

具体的には、ゲート電極下の直方体状の半導体領域の幅Wは、加工精度や強度等の観点 から、5 nm以上に設定することが好ましく、10 nm以上に設定することがより好まし い。一方、直方体状の半導体領域の側面に形成されるチャネルを支配的なチャネルとし且 つ完全空乏型の構造を得る観点から、60nm以下に設定することが好ましく、30nm 以上に設定することがより好ましい。

[0031]

本発明における直方体状の半導体領域を有するフィン型のMISFETの具体的寸法等 は、例えば次の範囲で適宜設定することができる。

[0032]

直方体状の半導体領域の幅W:5~100nm、

直方体状の半導体領域の高さH:20~200nm、

ゲート長L:10~100nm、

ゲート絶縁膜の厚さ:1~5 nm(SiO2の場合)、

チャネル形成領域の不純物濃度:0~1×10¹⁹ c m⁻³、

ソース/ドレイン領域の不純物濃度:1×10¹⁹~1×10²¹ c m⁻³。

[0033]

なお、直方体状の半導体領域の高さHは、ベース絶縁膜平面から突出した半導体部分の 基板平面に垂直方向の長さを指す。また、チャネル形成領域は、直方体状の半導体領域の ゲート電極下の部分を指す。

[0034]

シリサイド膜はTi、Co、Ni、Pt、Pd、Mo、W、Zr、Hf、Ta、Ir、 Al、V及びCrからなる群から選択された少なくとも一種を有することが好ましい。シ リサイド膜がこれらの元素を有することによって、良好な導電性を有し寄生抵抗を低減す ることができる。シリサイド膜の厚さは、10~50nmであることが好ましい。厚さが 10 nm以上であると、寄生抵抗を効果的に低減することができる。また、50 nm以下 であるとアニール処理時にシリサイド化反応が進みすぎ、ソース/ドレイン領域の素子特 性を損なうといったような問題も起こらない。

[0035]

(第一の実施形態)

本発明の第一の実施形態は、シングル構造のフィン型のMISFETを有する半導体装 置に関するものである。シングル構造のMISFETは一つのトランジスタ内に一つの直 方体状の半導体領域と一対のソース/ドレイン領域を有する。

[0036]

本実施形態のソース/ドレイン領域の形状は、少なくともその幅が最も大きい部分では ソース/ドレイン領域の幅がチャネルが形成される直方体状の半導体領域の幅よりも大き く、かつソース/ドレイン領域が最上部側から基体側に向かって幅が連続的に大きくなっ ている傾斜部を有していれば良く、傾斜部の形状としては様々なものを挙げることができ る。

[0037]



ソース/ドレイン領域の傾斜部は例えば、最上部側から基体側に向かって幅が大きくな る割合が一定ではない湾曲形状や、幅が大きくなる割合が一定であるテーパー形状であっ ても良い。

[0038]

図5(a)は、ソース/ドレイン領域がテーパー形状を有するMISFETを備えた半 導体装置の上面図である。図5 (b) は図5 (a) の半導体装置のA-A方向の断面図で あり、図5 (c) は図5 (a) の半導体装置のB-B方向の断面図である。ゲート電極5 01直下の半導体領域506は直方体状であり、幅aを有する。このMISFETでは直 方体状の半導体領域506の上面514には厚いゲート絶縁膜505が設けられており、 直方体状の半導体領域506の側面515にチャネルが形成される。また、図5(b)中 の点線領域は直方体状の半導体領域506の、基体(絶縁膜)509の平面と垂直な方向 での断面形状と同一スケールの形状を表す。この半導体装置では、直方体状の半導体領域 506の幅aよりもソース/ドレイン領域の幅cの方が大きく、かつソース/ドレイン領 域の最上部側521から基体(絶縁膜)509の側に向かって(矢印511の方向に)幅 c は大きくなっている。図 5 (b)の場合では、ソース/ドレイン領域の幅が矢印 5 1 1 の方向に向かって一定割合で大きくなるテーパー形状を形成している。テーパー形状51 0及び上面520にはシリサイド膜504が形成されている。

[0039]

図6~8は図5の半導体装置の変形例を表したものであり、ソース/ドレイン領域の断 面形状のみを表している。図6~8では、図5(a)のA-A線に相当する方向でのソー ス/ドレイン領域の断面形状を表したものである。

[0040]

図6はソース/ドレイン領域が湾曲形状を有する場合を表したものである。図6(a) 及び(b)ではソース/ドレイン領域の断面が楕円状であり、楕円の長軸が基体(絶縁膜) 509の法線方向と一致している。図6(c)及び(d)ではソース/ドレイン領域の 断面が楕円状であり、楕円の短軸が基体509の法線方向と一致している。また、図6(e)及び(f)ではソース/ドレイン領域の断面が真円状である。このように、ソース/ ドレイン領域は様々な形状の湾曲形状を有することができる。また、図6 (a)、(c) 及び(e)では、ソース/ドレイン領域の全ての部分でソース/ドレイン領域の幅が、最 上部側から基体側に向かって(矢印511の方向に)大きくなっている。この場合、ソー ス/ドレイン領域上の全ての部分にシリサイド膜の形成が可能なため、コンタクトホール の位置合わせが容易となり、より効果的に寄生抵抗の低減を図ることができる。図6 (b)、(d)及び(f)ではソース/ドレイン領域の上部側において、ソース/ドレイン領 域の幅が最上部側から基体側に向かって(矢印511の方向に)大きくなる湾曲形状を有 しており、更に基体側に近づくと幅が小さくなっている。このような形状でも上部の湾曲 の形状の部分にシリサイド膜504の形成が可能となる。また、ソース/ドレイン領域は 凸形状だけでなく、凹形状であっても良い。

[0041]

図7は図6の変形例を示したものである。図7(a)ではソース/ドレイン領域の上面 520が基体509の平面と平行な面を形成し、その両側に湾曲形状516を有する。図 7 (b) ではソース/ドレイン領域の一部に湾曲形状516を有し、その両側にテーパー 形状510を有する。図7 (c) ではソース/ドレイン領域が三つの湾曲形状516を有 する。また、図7 (d) ではソース/ドレイン領域が湾曲形状516及び基板に垂直な側 面513を有する。このようにソース/ドレイン領域は、複数種の異なる湾曲形状を有し ていても良い。また、複数の種類の湾曲形状とテーパー形状を有していても良く、更にソ ース/ドレイン領域の一部に基体と平行な面、基体に垂直な面を有していても良い。図7 ではテーパー形状510、上面520、湾曲形状516上にシリサイド膜504が形成さ れている。

[0042]

図8では、ソース/ドレイン領域が最上部側から基体側に向かって(矢印511の方向 出証特2004-3072700



に)、その幅が一定割合で大きくなるテーパー形状を有する場合を表したものである。

[0043]図8(a)ではソース/ドレイン領域が傾斜角度の緩やかなテーパー形状510を有す る。図8(b)ではソース/ドレイン領域が傾斜角度が急なテーパー形状510を有する 。傾斜角度は10~80°であることが好ましく、20~60°であることがより好まし く、40~50°であることが更に好ましい。傾斜角度が小さいとき、スパッタリングに よってシリサイド膜を厚く形成することができる。一方、傾斜角度が大きいとき、ソース /ドレイン領域が基体上に占める面積を小さくできる。このため、テーパー形状の傾斜角 度がこれらの範囲内にあるとき、コンタクト抵抗と素子の平面的面積の点から半導体装置 の最適化を図ることができる。ここで、傾斜角度とは、基体(絶縁膜)509の平面を基 準とした角度を表し、90°以下の角度で定義する。例えば、傾斜角度が25、2°、5 4. 7° またはこれら2種類の傾斜角度を有するテーパー形状が挙げられる。図8 (c) ではソース/ドレイン領域が傾斜角度の異なる複数の種類のテーパー形状510を有する 。また、図8(d)ではソース/ドレイン領域がテーパー形状510及び基体に垂直な側 面513を有する。図8ではテーパー形状510及び上面520にシリサイド膜504が 形成されている。

[0044]

図8に示されるようにソース/ドレイン領域は、基体と平行な上面520を有しても良 い。このように、基体平面と平行な面ではスパッタリング時にシリサイド膜を厚く形成す ることができ、寄生抵抗の低減を図ることができる。尚、上部の基体と平行な面の幅は、 直方体状の半導体領域の幅よりも小さくなっていても良い。

[0045]

また、図8に示されるようにソース/ドレイン領域は、傾斜角度の異なる複数の種類の テーパー形状を有していても良い。また、複数の種類の凹形状の湾曲形状と凸形状の湾曲 形状を有していても良い。更に、ソース/ドレイン領域の一部に基体と平行な面、基体に 垂直な面を有していても良い。

[0046]

本発明のMISFETのソース/ドレイン領域は、直方体状の半導体領域の側面に平行 な所定の面に関して対称な形状を有していなくても良い。例えば、この所定の面で二分割 したソース/ドレイン領域のうち、一方のソース/ドレイン領域が図6で示されるような 湾曲形状を有しており、他方のソース/ドレイン領域が図8で示されるようなテーパー形 状を有していても良い。

[0047]

また、本発明の半導体装置はソース/ドレイン領域の最上部側から基体側に向かって幅 が増加することを特徴とし、この幅とは、ソース/ドレイン領域中の基体(絶縁膜)50 9 0 の平面に垂直かつチャネル電流が流れる方向に垂直な所定の断面での幅を規定してい る。幅は、ソース/ドレイン領域中の何れかの断面において最上部側から基体側に向かっ て増加していれば良い。また、ソース/ドレイン領域の異なる位置での断面形状は、同一 であっても良いし、異なっていても良い。例えば、図20(a)のように第一の断面80 3では、上記のような幅が最上部側から基体側に向かって増加する形状を有し、第二の断 面804では断面形状が長方形状であっても良い。

[0048]

(第二の実施形態)

本発明の第二の実施形態は、マルチ構造のMISFETを有する半導体装置に関するも のである。マルチ構造のMISFETは、一つのトランジスタ内に複数の直方体状の半導 体領域をチャネル電流が流れる方向と垂直な方向に一列に並行配列し、これら複数の直方 体状の半導体領域に跨がって設けられた導体配線でゲート電極501が構成されたもので ある。

[0049]

図9 (a) 及び図10 (a) はMISFETを有する半導体装置の上面図である。図9



(b) 及び図10(b) は、それぞれ図9(a) 及び図10(a) の半導体装置のB-B 方向の断面図である。また、図9 (c) 及び図10 (c) は、それぞれ図9 (a) 及び図 10 (a) の半導体装置のA-A方向の断面図である。

[0050]

図9のMISFETでは、複数の(図では二つのみを示す)直方体状の半導体領域50 6がチャネル電流が流れる方向518と垂直な方向517に設けられ、これら複数の直方 体状の半導体領域506をそれぞれ挟むように複数の対(図では二対のみを示す)のソー ス/ドレイン領域503が設けられている。各ソース/ドレイン領域はテーパー形状51 0を有する。

[0051]

図10のMISFETでは、図9と同様に複数の(図では二つのみを示す)直方体状の 半導体領域506が一列に設けられており、これら直方体状の半導体領域506を挟むよ うに形成されたソース/ドレイン領域503は共通化されており、一つのMISFET中 に一対のソース/ドレイン領域503が形成されている。ソース/ドレイン領域503は 凸部519を複数、有している。各凸部519はソース/ドレイン領域の最上部側から基 体側に向かって(矢印511の方向に)断面積が増加している。ここで断面積とは基体(絶縁膜) 509の平面に平行な所定の面でのソース/ドレイン領域の断面積を表す。図1 0では、ソース/ドレイン領域503中の複数の凸部519が、半導体領域506の配列 方向517に向かって、該半導体領域506と等間隔で形成され、かつ半導体領域506 の配列方向から見て一つの凸部519と一つの半導体領域506が並列となるように形成 されている。ソース/ドレイン領域中の各凹凸部519はシングル構造のMISFETの ソース/ドレイン領域のテーパー形状510に相当する形状を有している。

[0052]

図9のように各直方体状の半導体領域ごとにその両側に、個別の離間したソース/ドレ イン領域が設けられたマルチ構造のMISFETであっても、各ソース/ドレイン領域は シングル型のMISFETと同様の形状を有することができる。また、図10のように直 方体状の半導体領域を挟むように形成されたソース/ドレイン領域が共通化されたマルチ 構造のMISFETであっても、ソース/ドレイン領域を構成する凹凸部は、シングル型 のMISFETに相当する形状を有することができる。各凹凸部は同一の形状を有してい ても、異なる形状を有していても良く、各凹凸部は、絶縁膜509上で接していても良い

[0053]

これらマルチ構造のMISFETのソース/ドレイン領域またはソース/ドレイン領域 中の凹凸部は、それぞれ複数の種類の湾曲形状やテーパー形状を有していても良い。また 、更にその一部に基体と平行な面、基体に垂直な面を有していても良い。

[0054]

このようなマルチ構造のMISFETでは、一つの直方体状の半導体領域当たり個別の ソース/ドレイン領域を有するか、共通化された大きなソース/ドレイン領域を有し、広 い表面積がシリサイド化されているため、FETの寄生抵抗が低減され、コンタクト抵抗 が低減する。また、コンタクトホールのソース/ドレイン領域上への位置合わせが容易と なる。

[0055]

マルチ構造のMISFETでは、基体平面に垂直な方向の側面をチャネル幅として用い る直方体状の半導体領域を複数有するため、チャネル幅あたりの必要な平面的面積を小さ くすることができ、素子の微細化に有利である。このマルチ構造は、チャネル幅の異なる 複数種のトランジスタを1チップ内に形成する場合でも、直方体状の半導体領域の数を変 えることによりチャネル幅を制御することができる。これにより、直方体状の半導体領域 の高さを揃えて素子特性の均一性を確保することができる。素子特性の均一性や加工の容 易さ等の観点から、一つのトランジスタの複数の凸状の半導体領域のゲート電極下部分の 幅(基板平面に平行かつチャネル長方向に垂直な方向の幅)は互いに等しいことが好まし



1,10

[0056]

(半導体装置の製造方法)

本発明に係る半導体装置は、ソース/ドレイン領域が湾曲形状やテーパー形状等の形状 を有するための工程を有する点に特徴がある。この代表的な方法として(1)選択エピタ キシャル成長法、(2)エッチング法について詳細に述べる。

(1) 選択エピタキシャル成長法

一例としてマルチ構造のフィン型のMISFETを含む半導体装置の製造工程を図11 に示す。まず、貼り合わせ又はSIMOXによってシリコンウェハ基板601、SiO2 酸化膜602及び単結晶シリコン膜603を有するSOI基板を用意する。次に、SOI 基板の表面上に熱酸化法によってSiO2膜604形成する。図11(a)はこの基板の 断面図である。更に、このSiО2膜604を介してチャネル形成領域のための不純物を イオン注入する。その後、エッチングによってSiО2膜604除去する。

[0057]

続いて、単結晶シリコン膜603の全面にフォトレジストを塗布し、フォトリソグラフ ィーを用いて、レジストマスク605を形成する。図11(b)はこの断面を表したもの である。次に、このレジストマスク605をエッチングマスクとして、単結晶シリコン膜 603を異方性ドライエッチングする。この後、レジストマスク605を除去し、SiO 2膜602上に所定の高さの直方体状の半導体領域606を形成する。この際、エッチン グの条件によっては、直方体状の半導体領域606の上面や側面は平らにならずに微細な 突起等が形成される場合がある。例えば、図21(a)では半導体領域911と基体(S i O₂膜)907の境界上に微細な {1 1 1} 面903が形成されている。この微細な面 は選択エピタキシャル成長を行う際、ソース/ドレイン領域の形状に影響を与える場合が ある。

[0058]

図11(c)は直方体状の半導体領域の上面図である。また、図11(d)は図11(c) の直方体状の半導体領域606のA-A方向の断面図である。次に、熱酸化法によっ て単結晶シリコンの直方体状の半導体領域606の表面(側面)に薄いSiO2膜(ゲー ト絶縁膜611)を形成する。更に、このSiO2膜611上にCVD法によってポリシ リコン膜を形成し、不純物拡散で導電性としてから、所定パターンに選択的エッチングを 施してゲート電極607を形成する。図11(e)はこの半導体装置の上面図である。ま た、図11(f)は図11(e)の直方体状の半導体領域606のA-A方向の断面図で ある。

[0059]

次にエクステンションイオン注入を行う。更に、CVD法によりシリコン酸化膜等を堆 積した後、例えば、RIEによりエッチバックして、ゲートサイドウォール608を形成 する。図12(a)は、この半導体装置の上面図である。また、図12(b)は図12(a) のソース/ドレイン領域612のA-A方向の断面図である。この後、ソース/ドレ イン領域612を選択エピタキシャル成長させる。なお、選択エピタキシャル成長を行う 前のソース/ドレイン領域612とチャネルが形成される略直方体状の半導体領域とでは 断面が同一形状であっても良いし、異なる形状であっても良い。ここで、断面とは基体(絶縁膜)602に垂直な面で、かつチャネル電流が流れる方向に垂直な方向の面を表す。

[0060]

図12(c)は、傾斜部が特定の結晶面を表面に有さないように、図12(a)のソー ス/ドレイン領域を選択エピタキシャル成長させた製造工程の一例を示したものである。 なお、本明細書では「特定の結晶面」とは基体(SiO2膜)602と平行でも垂直でも なく、傾斜部又は凹凸部表面において明確に認識できる面を表す。例えば、原料供給等の 成長条件を変更することで、特定の結晶面を優先して成長させるのではなく、微細な多数 の結晶面が競合して成長するようにすると、図12(c)のように、大きな結晶面が表面 に現れず全体として湾曲形状からなるソース/ドレイン領域が形成される。図12 (c)



は半導体装置の上面図である。図12(c)では、選択エピタキシャル成長を短時間で終 了しているため、隣接するソース/ドレイン領域は接しておらず、各直方体状の半導体領 域606の両側に、それぞれ個別にソース/ドレイン領域が設けられている。また、傾斜 部は特定の結晶面を表面に有さず、湾曲形状を有する構造となる。また、図12(d)は 図12(c)のソース/ドレイン領域612のA-A方向の断面図である。

[0061]

次に、この選択エピタキシャル成長を行ったソース/ドレイン領域 6 1 2 に不純物を注 入する。このイオン注入は斜め方向又は垂直方向から行うことができる。本発明の半導体 装置は基体と垂直な側面を有する従来のフィン型のMISFETと比べて、簡便にイオン 注入を行うことができる。次に、ソース/ドレイン領域612上にスパッタリングによっ て金属層 6 0 9 を堆積する。図 1 3 (a) はこの半導体装置の上面図である。また、図 1 3 (b) は図13 (a) のソース/ドレイン領域612のA-A方向の断面図である。本 発明の製造方法ではソース/ドレイン領域612が湾曲形状やテーパー形状等を有するた め、広い部分に金属層609を堆積することができる。金属としては、Ti、Co、Ni 、Pt、Pd、Mo、W、Zr、Hf、Ta、Ir、Al、V及びCrからなる群から選 択された少なくとも一種であることが好ましい。次に、アニール処理を行うことによって 金属がケイ素と反応し、安定なシリサイド610が形成される。この後、ウェットエッチ ングを行うことにより、未反応の金属層を除去する。図13(c)はウェットエッチング 後の半導体装置の上面図である。また、図13(d)は図13(c)のソース/ドレイン 領域612のA-A方向の断面図である。アニール処理の温度は金属層の種類に応じて所 望の温度に設定することができる。例えば、金属層としてNi用いた場合には $400\sim6$ 00℃であることが好ましく、Coを用いた場合には600~800℃であることが好ま しい。アニール処理は数段階に分けて行っても良く、アニール処理の間にウェットエッチ ングの工程を設けても良い。アニール処理後に形成されるシリサイド材料としては、Ti Si、TiSi2、CoSi, CoSi2、NiSi、NiSi2及びNi2Siなどが挙げ られる。

[0062]

また、図12'(a)のソース/ドレイン領域612を長時間、選択エピタキシャル成長 させた製造工程の一例を図14 (a) に示す。図14 (a) は半導体装置の上面図である 。図14(a)では、選択エピタキシャル成長を長時間、行っているため、複数の半導体 領域を挟んで該複数の半導体領域に共通化された凹凸部を有するソース/ドレイン領域が 設けられている。各凹凸部は特定の結晶面を表面に有していない。このため、図14(a) の例では、ソース/ドレイン領域612が湾曲形状を有する構造となっている。なお、 図14(b)は図14(a)のソース/ドレイン領域612のA—A方向の断面図である 。図14 (c)は、図14 (a)の半導体装置に不純物注入、金属層の堆積、アニール処 理、未反応金属の除去を行い、最終的にソース/ドレイン領域612上にシリサイド膜6 10を設けた半導体装置の上面図である。図14(d)は図14(c)のソース/ドレイ ン領域612のA―A方向の断面図である。このようにソース/ドレイン領域が共通化さ れた半導体装置とするために選択エピタキシャル成長を行うための時間は、温度、原料ガ ス流量など操作条件によって異なり、所望の条件に設定すれば良い。

[0063]

図15(a)は傾斜部が少なくとも特定の結晶面を表面に有するように、図12(a) の半導体装置を選択エピタキシャル成長させた製造工程の一例を図15に示す。図15(a) は、短時間、選択エピタキシャル成長を行った後の半導体装置の上面図である。図1 5 (a) のソース/ドレイン領域では、ある特定の結晶面が優先的に成長し、その結果、 テーパー形状となったものである。この例では図21 (a) に示した微細な {1111} 面 903が優先して成長したものである。特定の結晶面を優先的に成長させる場合は、図2 1 (b) 及び (c) のように傾斜部のソース/ドレイン領域の幅方向 9 0 1 及び最上部側 から基体側の方向902に平行で、かつ該最上部904と交わる断面909で見たときに 、実質的に2つ(片側1つ)の結晶面910のみからなるように形成するか、又は図8(



c) のように実質的に4つ (片側2つ) の面510からなるように形成するか、あるいは 、最大8つ(片側4つ)程度の面のみからなるように形成させることが好ましい。更に好 ましくは2つ(片側1つ)又は4つ(片側2つ)の面である。なお、図21はシングル構 造のMISFETを有する半導体装置を表しているが、マルチ構造のMISFETにおい てもシングル構造のMISFETと同様にソース/ドレイン領域の幅方向901及び最上 部から基体側の方向902を定義する。

[0064]

また、選択エピタキシャル成長を短時間で終了させているため、隣接するソース/ドレ イン領域は接しておらず、各直方体状の半導体領域の両側に、それぞれ個別にソース/ド レイン領域が設けられている。なお、図15(b)は図15(a)のソース/ドレイン領 域612のA-A方向の断面図である。この後、図13(a)~(d)と同様の方法によ って、図15(a)の半導体装置に不純物注入、金属層の堆積、アニール処理、未反応金 属の除去を行う。図15(c)は、未反応金属層除去後の半導体装置の上面図である。な お、図15(d)は図15(c)のソース/ドレイン領域612のA-A方向の断面図で ある。

[0065]

図15(e)は、上記選択エピタキシャル成長を行う際、長時間、選択エピタキシャル 成長を行った場合の半導体装置の上面図である。また、図15(f)は図15(e)のソ ース/ドレイン領域 6 1 2 の A - A 方向の断面図である。図 1 5 (e)では、選択エピタ キシャル成長を長時間、行っているため、複数の半導体領域を挟んで該複数の半導体領域 に共通化された凹凸部を有するソース/ドレイン領域となっている。図15(e)のソー ス/ドレイン領域では、ある特定の結晶面が優先的に成長した結果、テーパー形状となっ ている。図15(g)は、図15(e)の半導体装置に不純物注入、金属層の堆積、アニ ール処理、未反応金属の除去を行った後の半導体装置の上面図である。図15(h)は図 15 (g)のソース/ドレイン領域612のA-A方向の断面図である。

[0066]

選択エピタキシャル成長は、CVD装置を用いて行うことができる。主原料ガスとして はジシランガス (Si₂H₂) やモノシランガス (SiH₄) を用いることができる。また 、ホスフィン(P H3) やジボラン(B2 H6) などのガスを用いてドーピングを行っても 良い。

[0067]

(2) エッチング法

選択エピタキシャル成長法と同様の方法によって、SiO2膜上に所定の高さの複数の 直方体状の半導体領域701と突起状の半導体領域702を形成する。図16(a)はこ れらの半導体領域を表す上面図である。なお、突起状の半導体領域702は基体から突出 しており、半導体領域701の全てを挟んだ形状であれば良く、直方体に限定されるわけ ではない。

[0068]

次に、選択的エピタキシャル成長法と同様の方法で、ゲート電極703の形成、エクス テンションイオン注入、ゲートサイドウォール704の形成を行う(図16(b))。次 に、全面にレジストマスク705を形成した後、フォトリソグラフィーを用いてソース/ ドレイン領域708上の、半導体領域701の配列方向712に向かって半導体領域70 1と交互となる位置に開口710を有するマスク層705を設ける。このようにマスク層 705を設けた場合、半導体領域701のチャネル電流が流れる方向714への延長上に 存在するソース/ドレイン領域上にはマスク層713が設けられ、該マスク層713の間 にマスク開口710が設けられている。なお、開口はチャネル電流が流れる方向714に おいて、ソース/ドレイン領域上の一方の端部から他方の端部まで形成されていても良い (図16(c)及び(e))し、一方から他方の端部にわたって形成されていなくても良 い。開口の形状は、長方形、正方形、円形、楕円形、曲面、多角形など様々な形状とする ことができる。図16 (c) はこの半導体装置の上面図である。また、図16 (d) は図



16 (c)のソース/ドレイン領域708のA-A方向の断面図である。

[0069]

このレジストマスクをエッチングマスクとして、エッチングを行う。開口がソース/ド レイン領域の一方の端部から他方の端部にわたって形成されていないマスクを用いてエッ チングを行った場合、例えば図20(b)のような形状のソース/ドレイン領域が形成さ れる。図20(b)では、テーパー形状801の部分は、エッチング前にマスク開口71 0を設け、エッチングが進行したソース/ドレイン領域にあたる。また、直方体部802 はマスク層705を設け、エッチングが進行しなかったソース/ドレイン領域にあたる。 テーパー形状801を有する面と直方体部802の断面はそれぞれ804及び805にあ たる。図16(e)はエッチング後の半導体装置の上面図である。エッチングとしてはウ エットエッチング法とドライエッチング法を用いることができる。

[0070]

ウェットエッチング法では、KOH溶液やTMAH溶液などの溶液を用いる。エッチン グ時の温度、溶液濃度、時間等は公知の条件を用いることができる。例えば、基体(S i O2酸化膜) 706と平行な面方位が(100) 面の半導体領域にウェットエッチングを 行う場合、(111)面が他の結晶面に対して極端に低いエッチングレートとなる。この ため、最終的には54.7°のテーパー形状を有するソース/ドレイン領域708が形成 される。

[0071]

ドライエッチング法では、レジストマスクをエッチングマスクとして、等方性ドライエ ッチングと異方性ドライエッチングを順次行うことによって、所定の傾斜角度のテーパー 形状を有するソース/ドレイン領域708を形成することができる。テーパー形状の傾斜 角度は等方性ドライエッチングと異方性ドライエッチングのエッチング量比を調節するこ とによって、調整可能である。また、ドライエッチングの条件は公知の条件に設定するこ とができる。

[0072]

エッチングを長時間行うと、図16(g)に表されるように各直方体状の半導体領域の 両側に、それぞれ個別にソース/ドレイン領域708が設けられたMISFETとするこ とができる。一方、エッチングを短時間で終了すると、図16(f)に表されるように、 各直方体状の半導体領域を挟むように共通化されたソース/ドレイン領域を有するMIS FETとすることができる。前者の半導体装置とするためにエッチング処理を行う時間は 、温度、原料ガス流量などの操作条件によって異なり、所望の条件に設定すれば良い。

[0073]

次に、エッチングマスクを除去する。図17(a)及び図18(a)はそれぞれ、図1 6 (f) 及び(g) の半導体装置のエッチングマスクを除去したものを表す上面図である 。また、図17(b)及び18(b)は、それぞれ図17(a)及び18(a)のソース /ドレイン領域708のA-A方向の断面図である。なお、エッチング後のソース/ドレ イン領域は、少なくともその幅が最も大きい部分において、半導体領域701の幅よりも 大きければ良く、ソース/ドレイン領域の上面715の幅は半導体領域701の幅よりも 小さくても良い。次に、選択エピタキシャル成長と同様の方法で不純物注入をした後、ソ ース/ドレイン領域708上にシリサイド膜709を設ける。図17(c)及び図18(c)は、それぞれ図17(a)及び図18(a)のソース/ドレイン領域708にシリサ イド膜709を設けた半導体装置の上面図である。また、図17(d)及び図18(d) は、それぞれ図17(c)及び図18(c)のソース/ドレイン領域708のA-A方向 の断面図である。

[0074]

シングル構造のMISFETを有する半導体装置も、上記マルチ構造のMISFETを 有する半導体装置と同様の方法によって製造することができる。ただし、最初に基体上に 設けられる直方体状の半導体領域が一つである点がマルチ構造のMISFETを有する半 導体装置の製造方法とは異なる。シングル構造のM LS FETを有する半導体装置の製造



方法を図19に示す。最初に直方体状の半導体領域を形成する。なお、エッチング法によ ってソース/ドレイン領域に傾斜部を形成する場合には、ソース/ドレイン領域となる半 導体領域は、その幅がチャネルが形成される直方体状の半導体領域よりも大きくなるよう に形成する。次に、この半導体領域上にゲート電極703とゲートサイドウォール704 を形成する。図19 (a) は、この半導体装置の上面図である。また、図19 (b) は図 19 (a) の直方体状の半導体領域708のA-A方向の断面図である。この後、ソース /ドレイン領域708を異方性の選択エピタキシャル成長させる。図19(c)は、この 半導体装置の上面図である。また、図19 (d) は図19 (c) のソース/ドレイン領域 708のA-A方向の断面図である。次に、半導体装置上に金属層711を堆積させる。 図19 (e)は、この半導体装置の上面図である。また、図19 (f)は図19 (e)の ソース/ドレイン領域708のA-A方向の断面図である。この後、アニール処理を行い 、シリサイド膜709を形成した後、未反応の金属層を除去する。図19(g)は、この 半導体装置の上面図である。また、図19(h)は図19(g)のソース/ドレイン領域 708のA-A方向の断面図である。

【図面の簡単な説明】

[0075]

- 【図1】図1は、従来のシングル構造のフィン型のMISFETの説明図である。
- 【図2】図2は、従来のマルチ構造のフィン型のMISFETの説明図である。
- 【図3】図3は、従来のマルチ構造のフィン型のMISFETの説明図である。
- 【図4】本発明の半導体装置の一例の説明図である。
- 【図5】本発明の半導体装置の一例の説明図である。
- 【図6】本発明の半導体装置の一例の説明図である。
- 【図7】本発明の半導体装置の一例の説明図である。
- 【図8】本発明の半導体装置の一例の説明図である。
- 【図9】本発明の半導体装置の一例の説明図である。
- 【図10】本発明の半導体装置の一例の説明図である。
- 【図11】本発明の半導体装置の製造方法の説明図である。
- 【図12】本発明の半導体装置の製造方法の説明図である。
- 【図13】本発明の半導体装置の製造方法の説明図である。
- 【図14】本発明の半導体装置の製造方法の説明図である。
- 【図15】本発明の半導体装置の製造方法の説明図である。
- 【図16】本発明の半導体装置の製造方法の説明図である。
- 【図17】本発明の半導体装置の製造方法の説明図である。
- 【図18】本発明の半導体装置の製造方法の説明図である。
- 【図19】本発明の半導体装置の製造方法の説明図である。
- 【図20】本発明の半導体装置の製造方法の説明図である。
- 【図21】本発明の半導体装置の製造方法の説明図である。

【符号の説明】

[0076]

- 101 シリコンウェハ基板
- 102 絶縁膜
- 103 突起
- 104 絶縁膜
- 105 ゲート電極
- 111 シリコンウェハ基板
- 112 絶縁膜
- 113 突起
- 114 絶縁膜
- 115 ゲート電極
- 2 1 0 シリコン基板



- 211 ウェル層
- 212 領域
- 213 半導体層
- 2 1 4 絶縁膜
- 215 チャネル
- 216 ゲート電極
- 217 ソース/ドレイン領域
- 2 1 8 絶縁膜
- 226 層間絶縁膜
- 228 コンタクトプラグ
- 229 上層配線
- 230 上層配線
- 301 シリコン基板
- 302 絶縁層
- 303 半導体層
- 304 ソース/ドレイン領域
- 305 ゲート電極
- 3 1 0 開口部
- 3 3 2 伝導経路
- 401 シリコンウェハ基板
- 402 絶縁層
- 403 直方体状半導体領域
- 404 チャネル電流の流れる方向
- 405 ゲート電極
- 406 ソース/ドレイン領域
- 407 直方体状半導体領域の側面
- 409 シリサイド膜
- 410 直方体状半導体領域の上面
- 411 ソース/ドレイン領域の最上部側から基体側の方向
- 412 最上面
- 413 基体側
- 501 ゲート電極
- 502 ゲートサイドウォール
- 503 ソース/ドレイン領域
- 504 シリサイド膜
- 505 ゲート絶縁膜
- 506 直方体状半導体領域
- 508 シリコンウェハ基板
- 509 絶縁膜
- 510 テーパー形状
- 511 ソース/ドレイン領域の最上部側から基体側の方向
- 513 絶縁膜(基体)に垂直な側面
- 514 直方体状の半導体領域の上面
- 515 直方体状の半導体領域の側面
- 516 湾曲形状
- 5 1 7 直方体状半導体領域の配列方向
- 5 1 9 凸部
- 520 ソース/ドレイン領域の上面
- 5 2 1 最上部側
- 601 シリコンウェハ基板

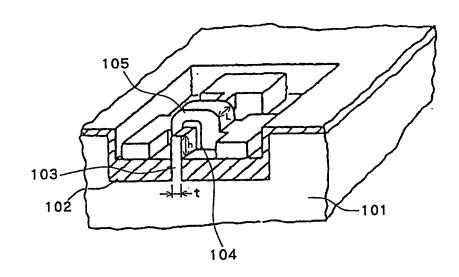


- 602 SiO2酸化膜
- 603 単結晶シリコン酸化膜
- 604 SiO2酸化膜
- 605 レジストマスク
- 606 直方体状半導体領域
- 607 ゲート電極
- 608 ゲートサイドウォール
- 609 金属層
- 610 シリサイド膜
- 611 ゲート絶縁膜
- 612 ソース/ドレイン領域
- 613 (111) 面
- 701 直方体状半導体領域
- 702 突起状半導体領域
- 703 ゲート絶縁膜
- 704 ゲートサイドウォール
- 705 マスク層
- 706 SiO2酸化膜
- 707 シリコンウェハ基板
- 708 ソース/ドレイン領域
- 709 シリサイド膜
- 710 マスク開口
- 711 金属層
- 712 半導体領域の配列方向
- 713 マスク層
- 714 チャネル電流が流れる方向
- 715 ソース/ドレイン領域の上面
- 801 テーパー形状
- 802 直方体部
- 803 ソース/ドレイン領域
- 804 第一の断面
- 805 第二の断面
- 901 ソース/ドレイン領域の幅方向
- 902 最上部側から基体側の方向
- 903 1111 面
- 9 0 4 最上部
- 906 シリコンウェハ基板
- 907 絶縁層
- 908 ソース/ドレイン領域
- 909 断面
- 910 結晶面
- 911 半導体領域
- a 直方体状半導体領域の高さ
- b 直方体状半導体領域の幅
- c ソース/ドレイン領域の幅
- h 直方体状部分の高さ
- t 直方体状部分の幅
- L ゲート長

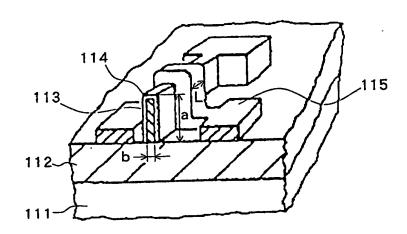


【書類名】図面 【図1】

(a)

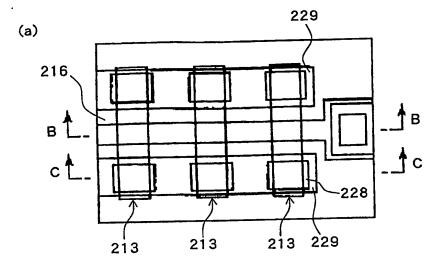


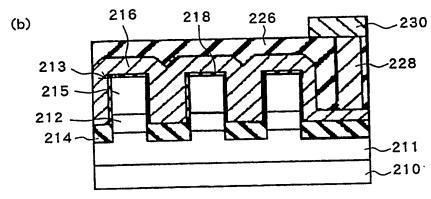
(b)

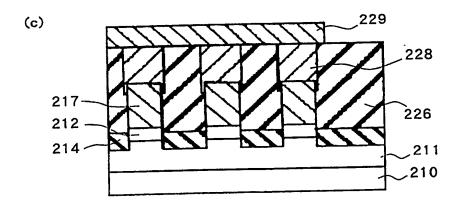




【図2】

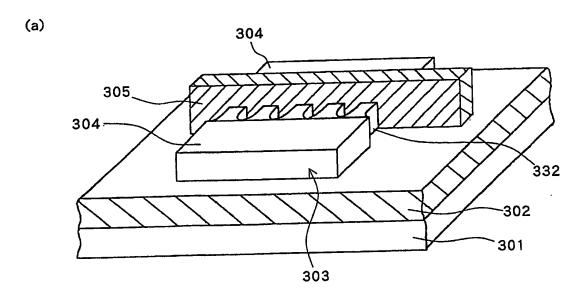


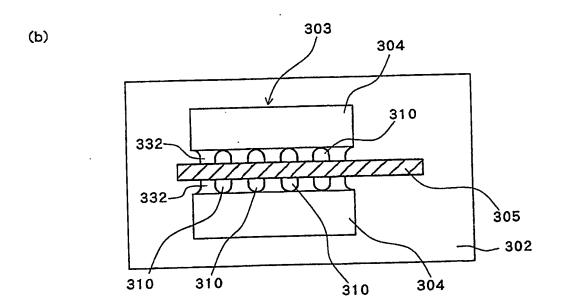






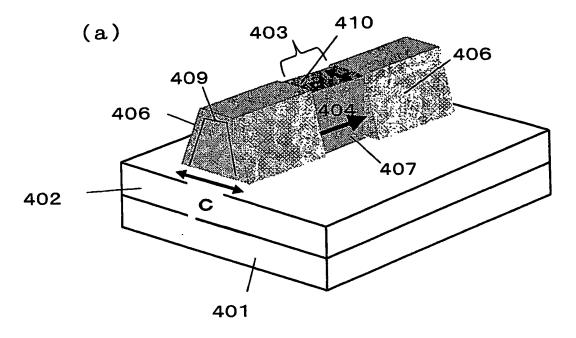
【図3】



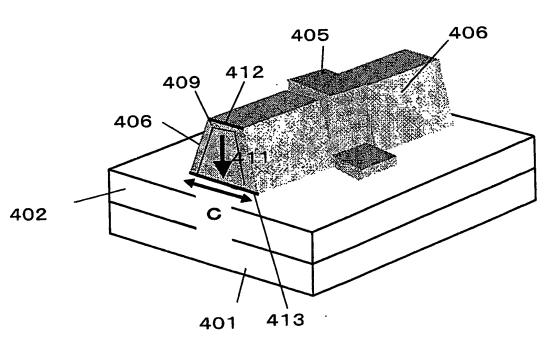




【図4】

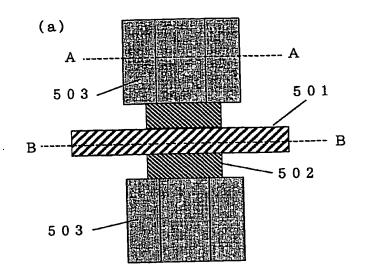


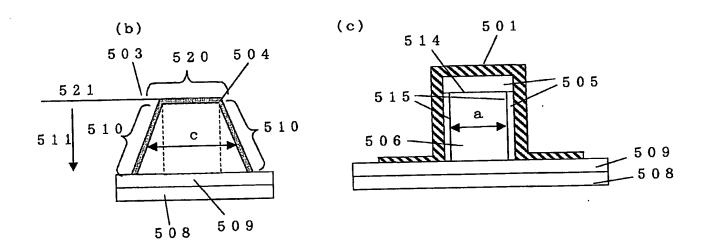
(b)





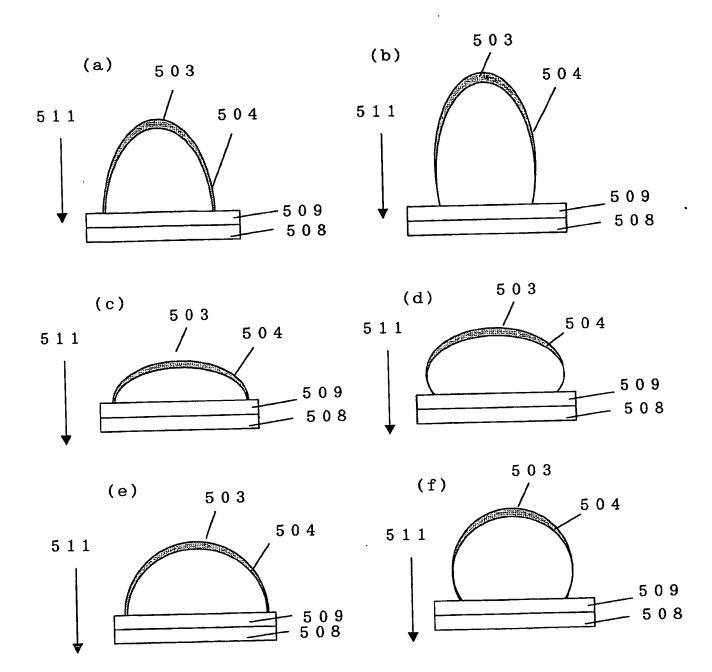
【図5】





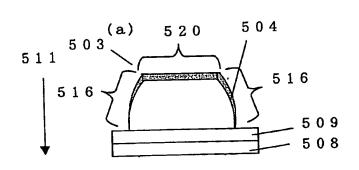


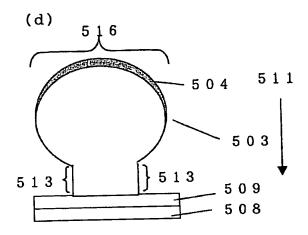
【図6】

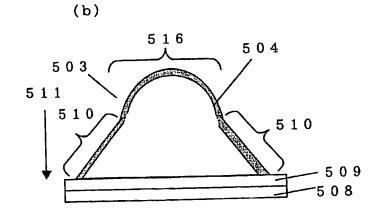


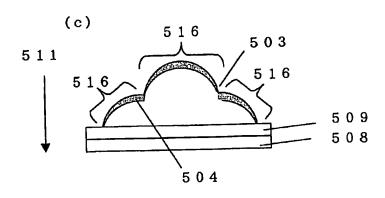


【図7】



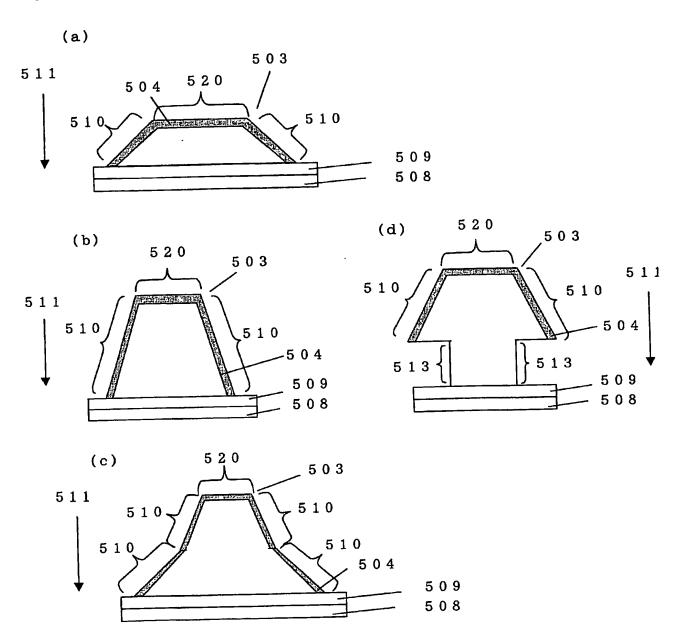






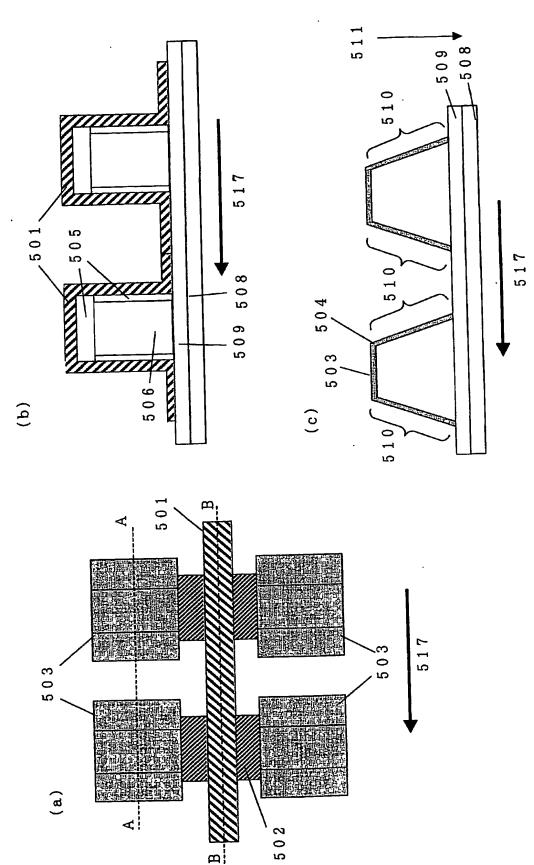


【図8】



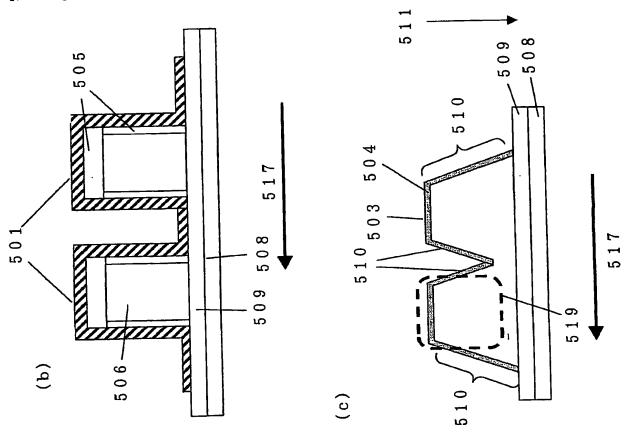


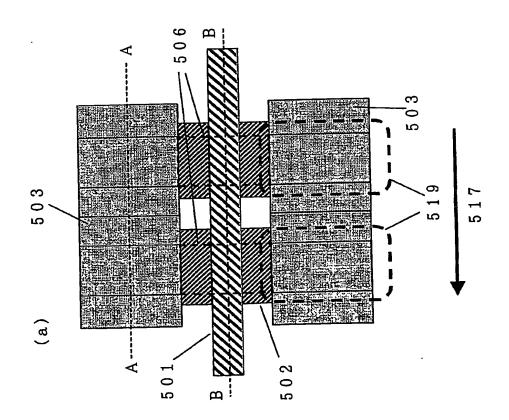
【図9】





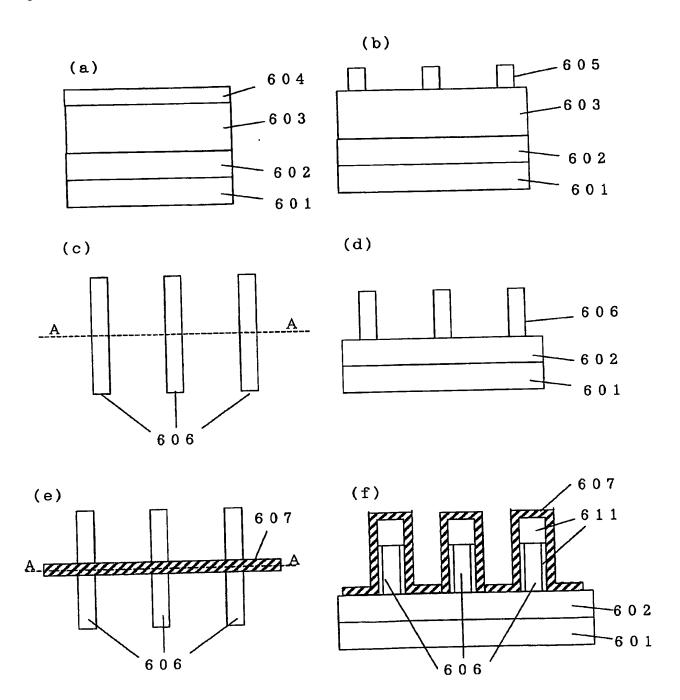
[図10]





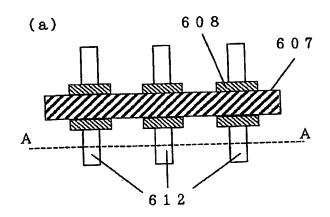


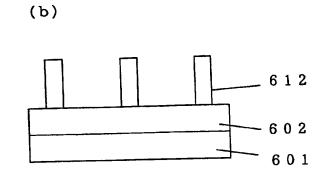
【図11】

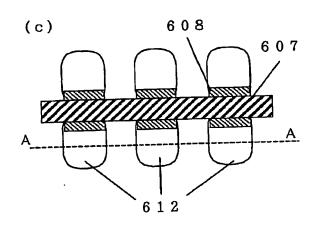


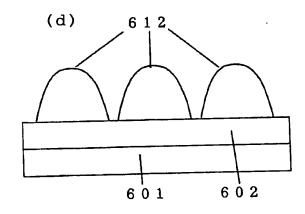


【図12】



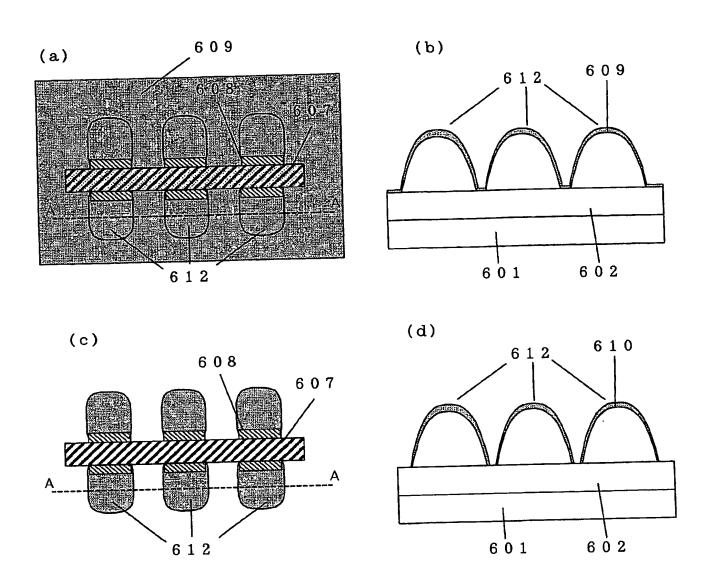






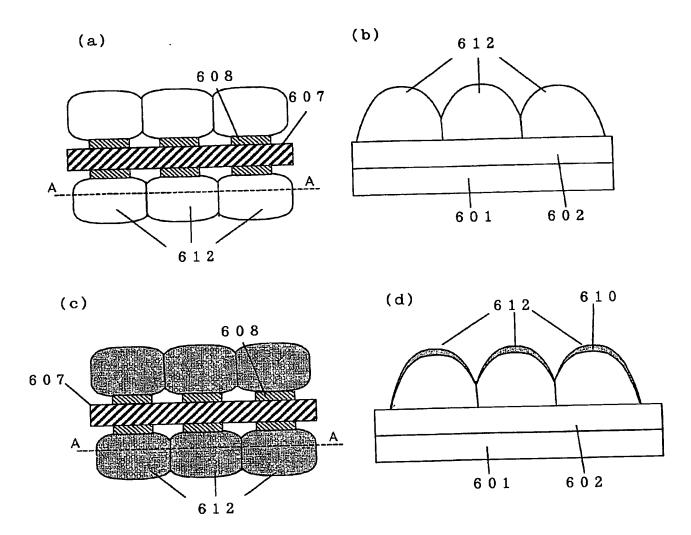


【図13】



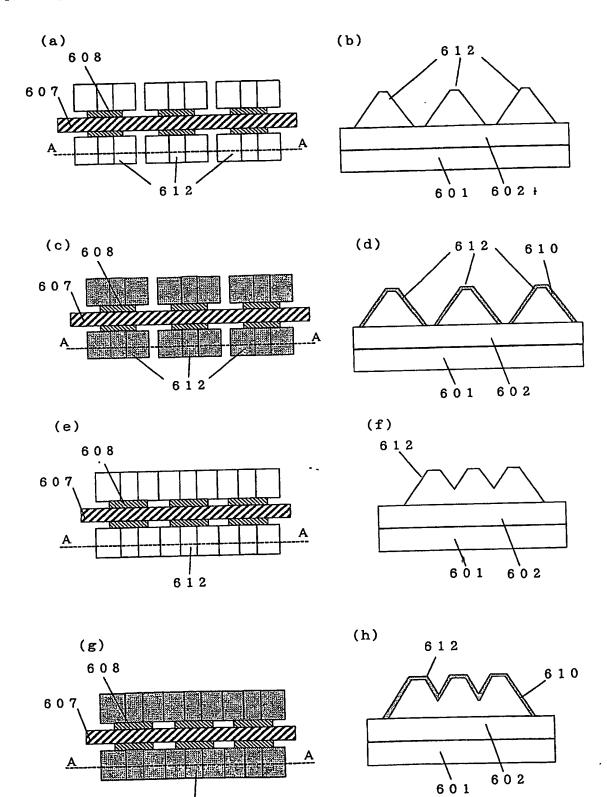


【図14】





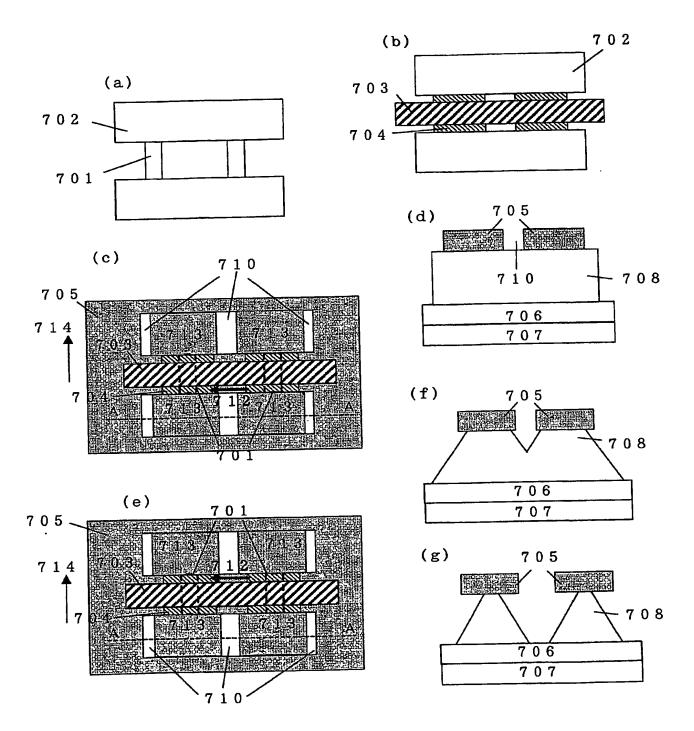
【図15】



6 i 2

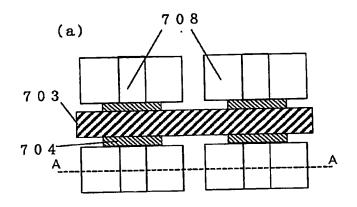


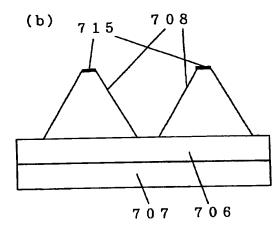
【図16】

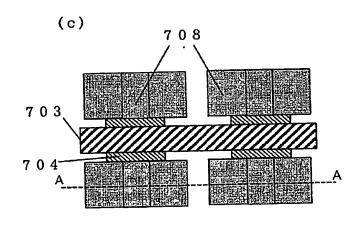


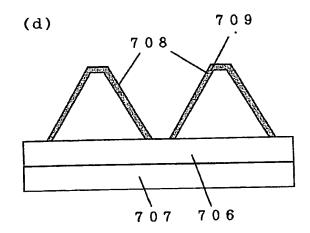


【図17】



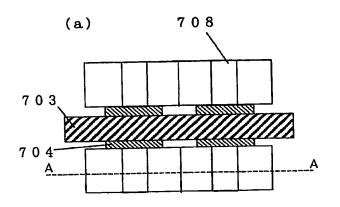


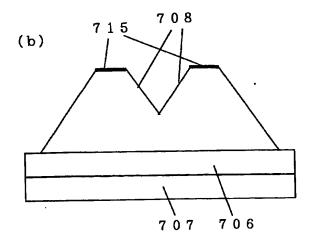


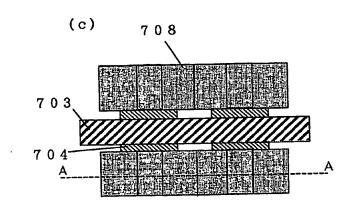


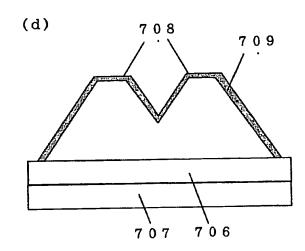


【図18】



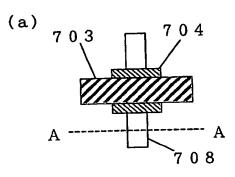


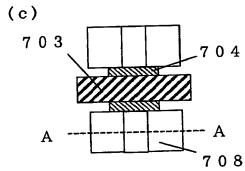


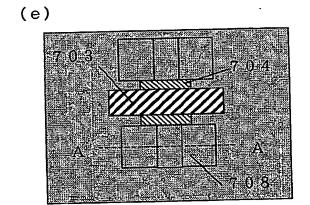


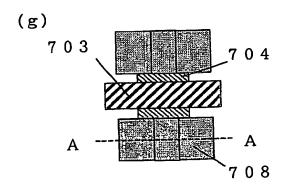


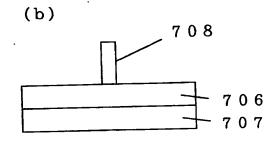
【図19】

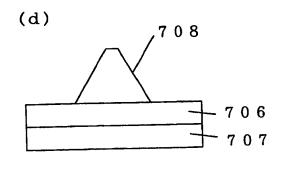


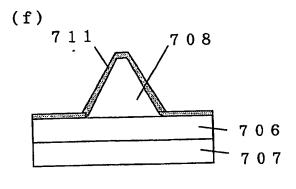


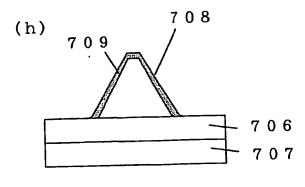






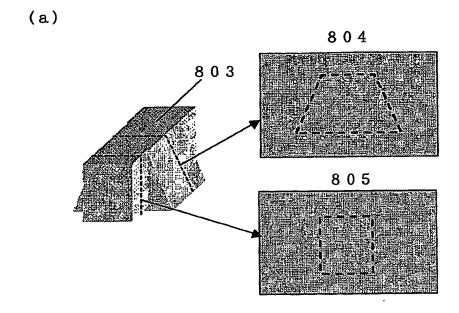


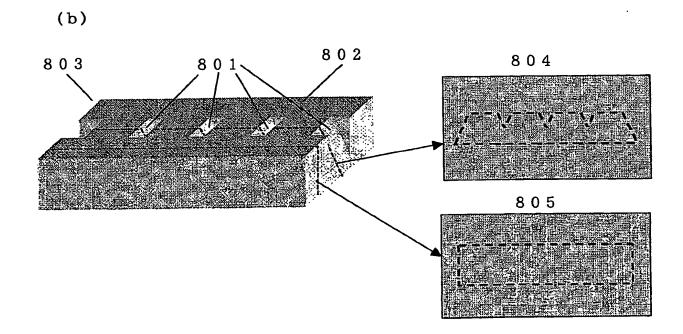






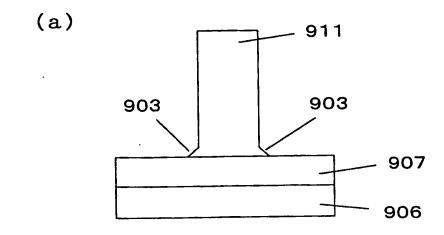
【図20】

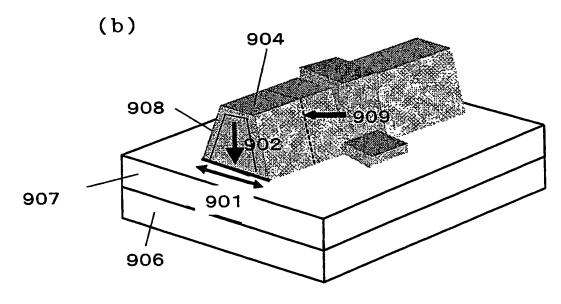


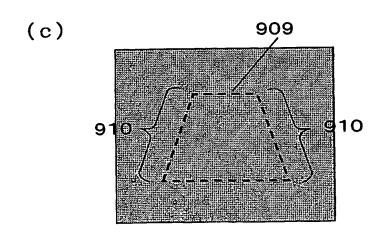




【図21】









【曹類名】要約曹

【要約】

【課題】コンタクト抵抗を低減させ、コンタクトホールの位置合わせを容易とした半導体 装置及びその製造方法を提供する。

【解決手段】ソース/ドレイン領域の少なくともその幅が最も大きい部分では半導体領域 の幅よりも大きく、かつソース/ドレイン領域の最上部側から基体側に向かって連続的に 幅が大きくなっている傾斜部を有し、該傾斜部表面にシリサイド膜が形成されていること を特徴とする半導体装置とする。

【選択図】図5



特願2003-359262

出願人履歴情報

識別番号

[000004237]

1. 変更年月日 [変更理由] 住 所 1990年 8月29日 新規登録

住 所 氏 名 東京都港区芝五丁目7番1号

日本電気株式会社

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:
BLACK BORDERS
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
☐ FADED TEXT OR DRAWING
☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
☐ SKEWED/SLANTED IMAGES
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
☐ GRAY SCALE DOCUMENTS
☐ LINES OR MARKS ON ORIGINAL DOCUMENT
☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
□ other:

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.